

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **54-108504**

(43)Date of publication of application : **25.08.1979**

(51)Int.Cl.

H04L 25/38

H04L 7/04

(21)Application number : **53-015538**

(71)Applicant : **MATSUSHITA ELECTRIC IND  
CO LTD**

(22)Date of filing : **13.02.1978**

(72)Inventor : **ONO KENZO  
YOSHINO HIROKAZU  
ASABE TSUTOMU  
FUJITA TATSUO**

## (54) DATA TRANSMISSION SYSTEM ON START-STOP SYSTEM

(57)Abstract:

PURPOSE: To realize data transmission system on a start-stop system of high efficient by correcting a step out by detecting the state of "1" when the data transmission becomes out of synchronism by transmission the (m)-number bit "1"s equivalent to one word.

CONSTITUTION: Start-stop system data are inputted to input terminal 10 and when the data are received in the order of a start bit, the data and a stop bit, data-reception end signal A becomes high in level. By fetching the data, control circuit 1 checks out whether or not the stop bit is received correctly. After a transmitting signal of (n) words which contains the start bit of the next word follows the start bit, "1"s are transmitted more than (m) bits equivalent to one word and when the transmission becomes out of synchronism, the state of "1" is detected to correct the step out.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑪公開特許公報(A)

昭54-108504

⑫Int. Cl.<sup>2</sup>  
H 04 L 25/38  
H 04 L 7/04

識別記号 ⑬日本分類  
96(2) B 4

庁内整理番号 ⑭公開 昭和54年(1979)8月25日  
7343-5K  
7608-5K

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮調歩式データ伝送方式

⑯特 願 昭53-15538

⑰出 願 昭53(1978)2月13日

⑱発 明 者 大野健造  
門真市大字門真1006番地 松下  
電器産業株式会社内  
同 吉野弘和  
門真市大字門真1006番地 松下  
電器産業株式会社内

⑲発 明 者 浅部勉

門真市大字門真1006番地 松下  
電器産業株式会社内

同 藤田達男

門真市大字門真1006番地 松下  
電器産業株式会社内

⑳出 願 人 松下電器産業株式会社  
門真市大字門真1006番地

㉑代 理 人 弁理士 中尾敏男 外1名

□

明 細 書

1. 発明の名称

調歩式データ伝送方式

2. 特許請求の範囲

(1) 一連のデータの始めと終りに、スタートビットとストップビットを付して1ワードを構成させて伝送する調歩式伝送方式において、ストップビットの後に次のワードのスタートビットが続く連続したワードの伝送信号の後に1ワードに相当するmビット以上の間論理'1'の伝送を行ない、同期くずれが生じた時に上記論理'1'の状態を検出して同期くずれを補正することを特徴とする調歩式データ伝送方式。

(但しmは2以上の整数)

(2) データの誤りが多数生じたことを検出して同期くずれが生じたことを判別し、論理'1'を(m-1)個検出した時点で受信手段の動作を開始させることにより同期くずれを補正する

3. 発明の詳細な説明

本発明は正確にデータを伝送させることのできる調歩式データ伝送方式に関するものである。

一般にデータ伝送の一方式として一連のデータの始めと終りにスタートビット、ストップビットを付して伝送する調歩式のデータ伝送方式が使用される。この種の調歩式伝送はスタートビットの検出、すなわち、論理'1'から論理'0'となる時点基準としてデータサンプリングパルスを発生するものであり、スタートビット、ストップビットで区切られたデータ自身が同期情報をもっていると考えられる。

したがってデータの発生が少ないときにはデータがない限り、送出レベルは論理'1'となっており、そこからスタートビットの論理'0'を検出することにより容易に同期をとることが可能である。しかしデータの発生が多くなると、ストップビットの後にスタートビットが続く状態となり、しか

って受信され、以後同期回復が不可能となる。

本発明は上記欠点を除去するもので、連続して送られてくる調歩式のデータに対して論理「1」のデータを複数ビット連続して送り、これを基準にして同期ずれを回復するものである。

以下に本発明についてさらに詳細に説明する。

第1図は送出系列の一例で、A、B、Cはそれぞれ調歩式に送られる8ビットのデータであり、AのワードのストップビットSPの後にBのワードのスタートビットSTが続き伝送されている。CのワードもBのワードの後に連続して送られている。Dは10ビット分論理「1」の区間で、このDの後はスタートビットSTが続き、A、B、C、Dと同じデータ系列で伝送される。

第2図は第1図に示した信号系列を一般化したもので、スタート、ストップビットで囲まれたmビットのデータ(1ワード)を連続して(m-1)ワード伝送し、続いてmビット期間論理「1」にして伝送するものである。

このようにすることにより伝送速度は $(m-1)/n$

になるが、同期ずれが起ったときに容易に復帰が可能になる。

第3図は本発明による伝送方式のデータを受信する装置の一実施例を示すものである。同図において、1はマイクロプロセッサで構成される制御部、2は調歩式の受信装置、3、4はそれぞれカウンタ、5は伝送レートの周波数をもつクロック信号の発生器、6、7はそれぞれANDゲート、8はORゲート、9はインバータである。10は信号の入力端子である。

第4図は第3図の装置の要部の信号波形を示すもので、第4図中a、b、c、d、e、f、gはそれぞれ第3図におけるA、B、C、D、E、F、Gにおける信号に対応する。

次に動作を説明する。入力端子10に第2図に示すような伝送系列で、調歩式のデータが入力されるとする。初期において制御部1からの制御信号Fは低レベルで、インバータ9の出力は高レベルとなり、ANDゲート6を介して受信したデータは調歩式受信装置2のデータ入力の方へ導かれ

る。スタートビット、データ、ストップビットの順番にデータが受信されるとデータ受信終了信号Aが高レベルとなる。このように高レベルになったことを確認して、制御回路1はデータを取り込むためのストロブパルスBを与え、データを取りこむとともにストップビットが正しく受信されているか否か、パリティエラーがないかを調べる。正しく受信されたならばカウンタ3にクリアパルスCを送る。しかしパリティエラー等の誤りが生じると、カウンタ3にクリアパルスではなく、カウントアップのためのパルスDを与える。制御回路1は1ワードの受信が終了することによりカウンタ3の内容を読み、その値が例えば5になれば、すなわち誤りが連続して5回生じれば制御信号Fを高レベルにする。これによりデータは調歩式受信装置2ではなく、カウンタ5のクリア入力端子へと導かれる。このようにしてカウンタ5のクリア端子には制御信号Fが高レベルにな

べルになった時点からカウンタ5は伝送レートの周波数で発振しているクロック発振器4によりカウントアップされる。

ただし受信データが論理「1」すなわち高レベルであるかぎり、カウンタ5はクリアされないがデータが論理「0」、すなわち低レベルになればカウンタ5はリセットされる。制御部1は1ワードのビット数がmのとき、カウンタ5の値が(m-1)以上であれば、制御信号Fを低レベルにおとし、受信入力を調歩式の受信装置2に導き、次のワードのスタートビットを検出し、調歩式データの受信を開始する。

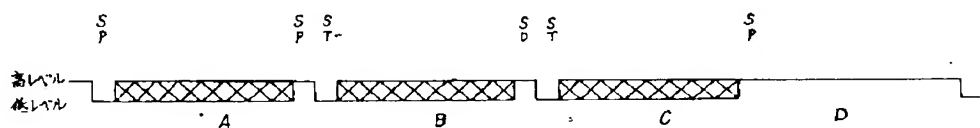
上記実施例より明らかなように本発明によれば連続して調歩式データを送出するとき、調歩式の1ワードの期間、論理「1」のデータを送出し、それを用いて同期の復帰を行なうようにしているため連続して調歩式で伝送するときの同期ずれの問題を解決することができ、高効率な調歩式により

第1図および第2図は本発明による調歩式データ伝送方式の伝送形態を示す模式図、第3図は受信装置のブロック図、第4図は要部の信号波形図である。

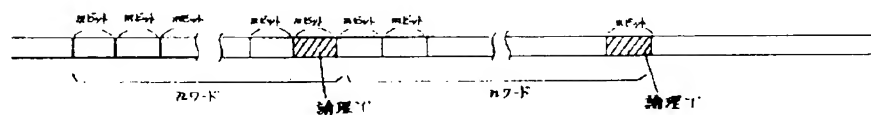
A, B, C……データ、SP……スタートビット、ST……ストップビット、D……論理「1」のビット。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

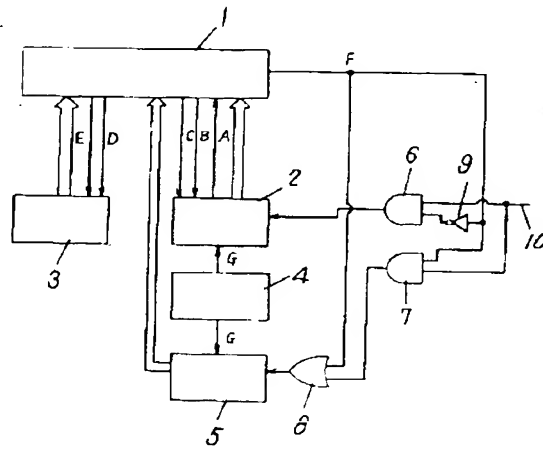
第 1 図



第 2 図



第 3 図



第 4 図

